



Logos FPGA 开发平台 用户手册

P22

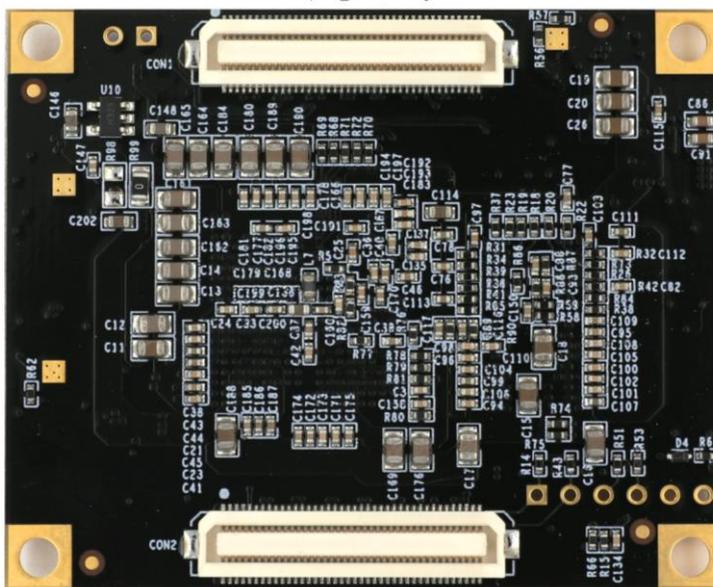
REV 1.0 版

芯驿电子科技（上海）有限公司

<http://www.alinx.com>

目录

| | |
|----------------------|----|
| (一) 简介 | 3 |
| (二) FPGA | 4 |
| (三) 有源晶振 | 6 |
| (四) DDR3 | 6 |
| (五) QSPI Flash | 9 |
| (六) LED 灯 | 10 |
| (七) 配置复位按键 | 12 |
| (八) JTAG 接口 | 12 |
| (九) 电源接口 | 13 |
| (十) 扩展接口 | 13 |
| (十一) 电源 | 17 |
| (十二) 结构图 | 20 |



P22 核心板背面图

(二) FPGA

前面已经介绍过了，我们所使用的 FPGA 型号为 **PGL22G6CMBG324**，属于紫光同创公司的 Logos 系列产品，速度等级为-6，温度等级为商业级 C。此型号为 **MBG324** 封装，324 个引脚。Logos 系列 FPGA 命名规则如图所示。

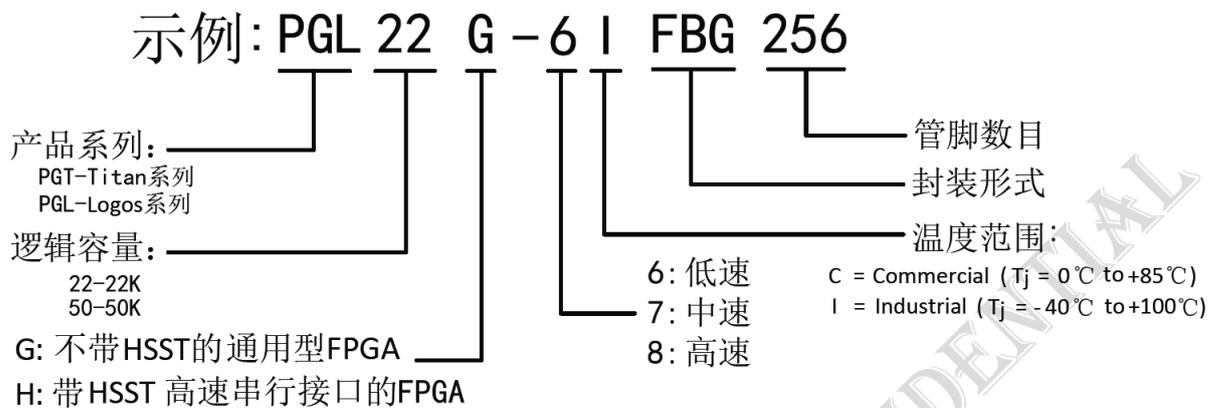


图 2-2-1 为开发板所用的 FPGA 芯片实物图。



图 2-2-1 FPGA 芯片实物

其中 FPGA 芯片 PGL22G 的主要参数如下所示：

表 1 Logos FPGA资源数量

| 器件 | CLM ^{1,2} | | | | 18Kb DRM (个) | APM (个) | PLL (个) | ADC (个) | HMEMC (个) | PCIe (个) | MAX USER IO (个) | HSST (个) |
|--------|--------------------|-------------------|-----------|------------------------------|--------------------|------------|------------|------------|--------------|-------------|--------------------------|-------------|
| | LUT5 (个) | 等效 LUT4 (个) | FF (个) | Distributed RAM (bits) | | | | | | | | |
| PGL12G | 9856 | 11827 | 14784 | 39424 | 30 | 20 | 4 | 1 | 1 | 0 | 160 | 0 |
| PGL22G | 17536 | 21043 | 26304 | 70144 | 48 | 30 | 6 | 1 | 2 | 0 | 240 | 0 |
| PGL35H | 29280 | 35136 | 43920 | 117120 | 102 | 90 | 6 | 1 | 2 | 1 | 300 | 2 |
| PGL50H | 42480 | 50976 | 63720 | 169920 | 180 | 150 | 6 | 1 | 2 | 1 | 364 | 2 |

注1：每个CLM包含4个多功能LUT5和6个寄存器；每个多功能LUT5等效为1.2个LUT4

注2：芯片中四分之一的CLM可配置为64bits的Distributed RAM。

表 2 Logos FPGA封装信息与用户IO数量

| 封装 | TBD | FBG256 | MBG324 | TBD | TBD |
|------------|---------|---------|---------|---------|---------|
| 尺寸 (mm) | TBD | 17×17 | 15×15 | TBD | TBD |
| Pitch (mm) | TBD | 1.0 | 0.8 | TBD | TBD |
| 器件 | User IO |
| PGL12G | TBD | - | - | - | - |
| PGL22G | - | 186 | 240 | - | - |
| PGL35H | - | - | - | TBD | - |
| PGL50H | - | - | - | - | TBD |

FPGA 供电系统

紫光同创 Logos FPGA 电源有 VCCINT, VCCIO L0, VCCIO L1, VCCIO L2, VCCIO R0, VCCIO R1, VCCIO R2, VCCAUX 和 VCCIO。VCCINT 为 FPGA 内核供电引脚，需接+1.1V；VCCAUX 为 FPGA 辅助供电引脚，接 3.3V；VCCIO 为 FPGA 的各个 BANK 的电压，包含 BANK L0~L2, BANK R0~R2，在 P22 核心板上，BANK L1, BANK L2 因为需要连接 DDR3, BANK 的电压连接的是 1.5V，其它 BANK 的电压都是 3.3V，其中 BANK R2 的 VCCIO 由可选择的两路 LDO 供电，可以通过跳电阻更改 BANK 的电平。

(三) 有源晶振

P22 核心板上配有一个 50Mhz 的有源晶振，用于 FPGA 的系统主时钟。晶振输出连接到 FPGA 的时钟输入管脚(Pin B5)，这个时钟可以用来驱动 FPGA 内的用户逻辑电路，用户可以通过配置 FPGA 内部的 PLLs 来实现更高的时钟。

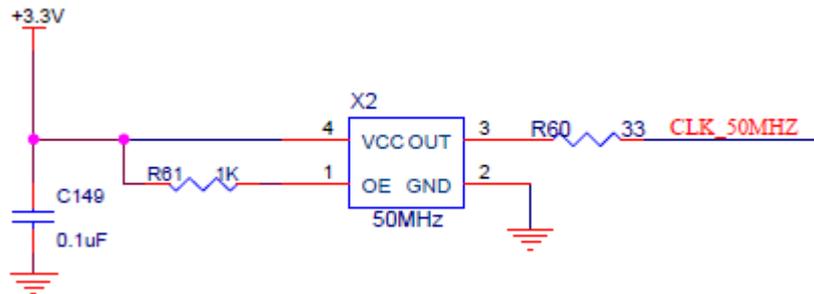


图 2-3-1 50Mhz 有源晶振

图 2-3-2 为 50Mhz 有源晶振实物图

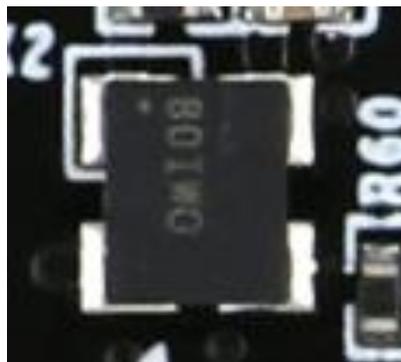


图 2-3-2 50M 有源晶振实物图

时钟引脚分配:

| 时钟网络名称 | FPGA 引脚 |
|-----------|---------|
| CLK_50MHZ | B5 |

(四) DDR3

P22 核心板上配有 1 个 Micron(美光) 的 256MB 的 DDR3 芯片,型号为 MT41J128M16HA-125。DDR 的总线宽度共为 16bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz。该 DDR3 存储系统直接连接到了 FPGA 的 BANK L1 和 BANK L2 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-4-1 所示。

表 2-4-1 DDR3 SDRAM 配置

| 位号 | 芯片类型 | 容量 | 厂家 |
|----|-------------------|--------------|--------|
| U3 | MT41J128M16HA-125 | 128M x 16bit | micron |

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 DRAM 的硬件连接示意图如图 2-4-所示:

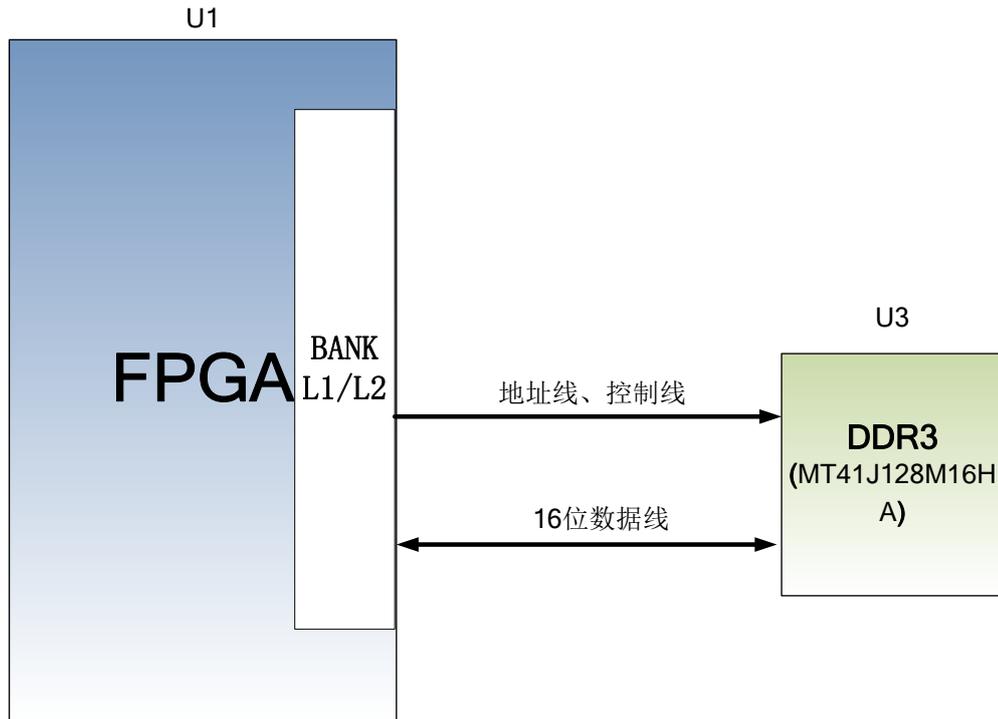


图2-4-1 DDR3 DRAM原理图示意图

图 2-4-2 为 DDR3 DRAM 实物图



图2-4-2 DDR3 DRAM实物图

DDR3 DRAM 引脚分配:

| 信号名称 | FPGA 引脚名 | FPGA 管脚号 |
|-------------|----------------|----------|
| DDR3_DQS0_P | DIFFIO_L2_15_P | N6 |
| DDR3_DQS0_N | DIFFIO_L2_15_P | N7 |
| DDR3_DQS1_P | DIFFIO_L2_4_P | U8 |
| DDR3_DQS1_N | DIFFIO_L2_4_N | V8 |
| DDR3_D0 | DIFFIO_L2_18_P | T8 |
| DDR3_D1 | DIFFIO_L2_17_N | T6 |
| DDR3_D2 | DIFFIO_L2_17_P | R6 |
| DDR3_D3 | DIFFIO_L2_16_N | R9 |
| DDR3_D4 | DIFFIO_L2_16_P | T9 |
| DDR3_D5 | DIFFIO_L2_14_N | N4 |
| DDR3_D6 | DIFFIO_L2_14_P | N5 |
| DDR3_D7 | DIFFIO_L2_13_N | P6 |
| DDR3_D8 | DIFFIO_L2_6_P | T4 |
| DDR3_D9 | DIFFIO_L2_5_N | V9 |
| DDR3_D10 | DIFFIO_L2_5_P | U9 |
| DDR3_D11 | DIFFIO_L2_3_N | V7 |
| DDR3_D12 | DIFFIO_L2_3_P | U7 |
| DDR3_DQ 13 | DIFFIO_L2_2_N | V6 |
| DDR3_D14 | DIFFIO_L2_2_P | U6 |
| DDR3_DQ15 | DIFFIO_L2_1_N | V5 |
| DDR3_DM0 | DIFFIO_L2_18_N | R8 |
| DDR3_DM1 | DIFFIO_L2_1_P | U5 |
| DDR3_A0 | DIFFIO_L1_19_N | M4 |
| DDR3_A1 | DIFFIO_L1_19_P | M3 |
| DDR3_A2 | DIFFIO_L1_18_N | P2 |
| DDR3_A3 | DIFFIO_L1_18_P | P1 |
| DDR3_A4 | DIFFIO_L1_17_N | L5 |
| DDR3_A5 | DIFFIO_L1_17_P | M5 |
| DDR3_A6 | DIFFIO_L1_16_N | N2 |
| DDR3_A7 | DIFFIO_L1_16_P | N1 |

| | | |
|------------|----------------|----|
| DDR3_A8 | DIFFIO_L1_15_P | K4 |
| DDR3_A9 | DIFFIO_L1_14_P | M1 |
| DDR3_A10 | DIFFIO_L1_13_N | M6 |
| DDR3_A11 | DIFFIO_L1_12_P | L1 |
| DDR3_A12 | DIFFIO_L1_11_N | K2 |
| DDR3_A13 | DIFFIO_L1_11_P | K1 |
| DDR3_A14 | DIFFIO_L1_10_N | J2 |
| DDR3_A15 | DIFFIO_L1_10_P | J1 |
| DDR3_BA0 | DIFFIO_L2_9_N | U2 |
| DDR3_BA1 | DIFFIO_L2_9_P | U1 |
| DDR3_BA2 | DIFFIO_L2_8_N | T2 |
| DDR3_S0 | DIFFIO_L2_7_P | R1 |
| DDR3_RAS | DIFFIO_L2_7_N | R2 |
| DDR3_CAS | DIFFIO_L2_8_P | T1 |
| DDR3_WE | DIFFIO_L2_10_P | V1 |
| DDR3_ODT | DIFFIO_L2_10_N | V2 |
| DDR3_RESET | DIFFIO_L1_14_N | M2 |
| DDR3_CLK_P | DIFFIO_L2_11_P | U3 |
| DDR3_CLK_N | DIFFIO_L2_11_N | V3 |
| DDR3_CKE | DIFFIO_L1_15_N | L4 |

(五) QSPI Flash

核心板上使用了一片 128Mbit 大小的 QSPI FLASH 芯片，型号为 W25Q128，它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中，QSPI FLASH 除了用作存储 FPGA 配置文件外还可以存储其它的用户数据文件。

SPI FLASH 的具体型号和相关参数见下表

| 位号 | 芯片类型 | 容量 | 厂家 |
|----|---------|----------|---------|
| U5 | W25Q128 | 128M Bit | Winbond |

表2-5-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 FPGA 芯片的 BANK L0 的专用管脚上

配置芯片引脚分配:

| 信号名称 | FPGA 引脚名 | FPGA 管脚号 |
|----------|--------------------------|----------|
| QSPI_CLK | DIFFIO_L0_3_N/CFG_CLK | C9 |
| QSPI_CS | DIFFIO_L0_4_P/FCS_N | B8 |
| QSPI_DQ0 | DIFFIO_L0_12_P/D0 | B4 |
| QSPI_DQ1 | DIFFIO_L0_12_N/RRN_L0/D1 | A4 |
| QSPI_DQ2 | DIFFIO_L0_13_P/RRP_L0/D2 | B3 |
| QSPI_DQ3 | DIFFIO_L0_13_N/D3 | A3 |

图 2-5-2 为开发板上 QSPI Flash 的实物图



图 2-5-2 QSPI FLASH 部分实物图

(六) LED 灯

P22 核心板上有 3 个红色 LED 灯, 其中 1 个是电源指示灯(PWR), 1 个是配置 LED 灯(DONE), 另外一个为用户 LED 灯 (LED1)。当核心板供电后, 电源指示灯会亮起; 当 FPGA 配置程序后, 配置 LED 灯 (DONE) 也会亮起。用户 LED 灯用户连接到 BANK L0 的 IO 管脚 E2 上, 可以通过程序来控制亮和灭, 当连接用户 LED 灯的 IO 电压为高时, 用户 LED 灯熄灭, 当连接 IO 电压为低时, 用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-6-1 所示:

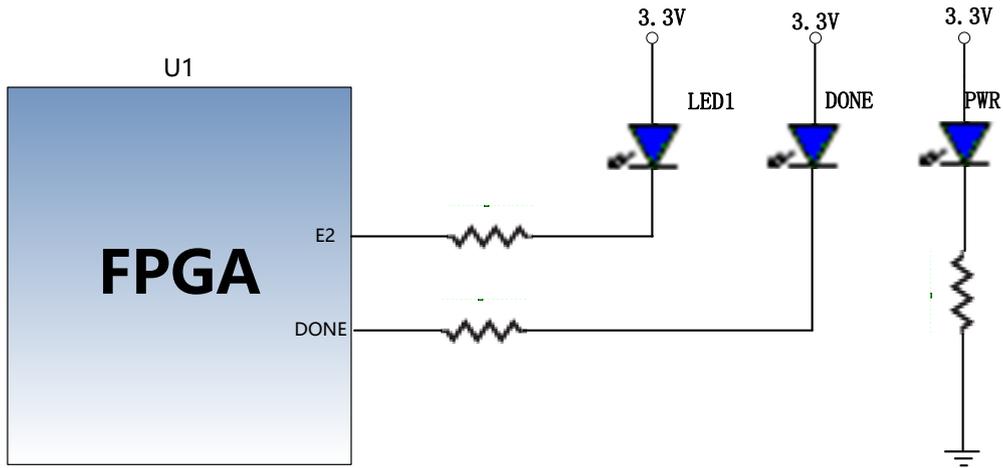


图 2-6-1 核心板 LED 灯硬件连接示意图

图 2-6-2 为核心板上的 LED 灯实物图

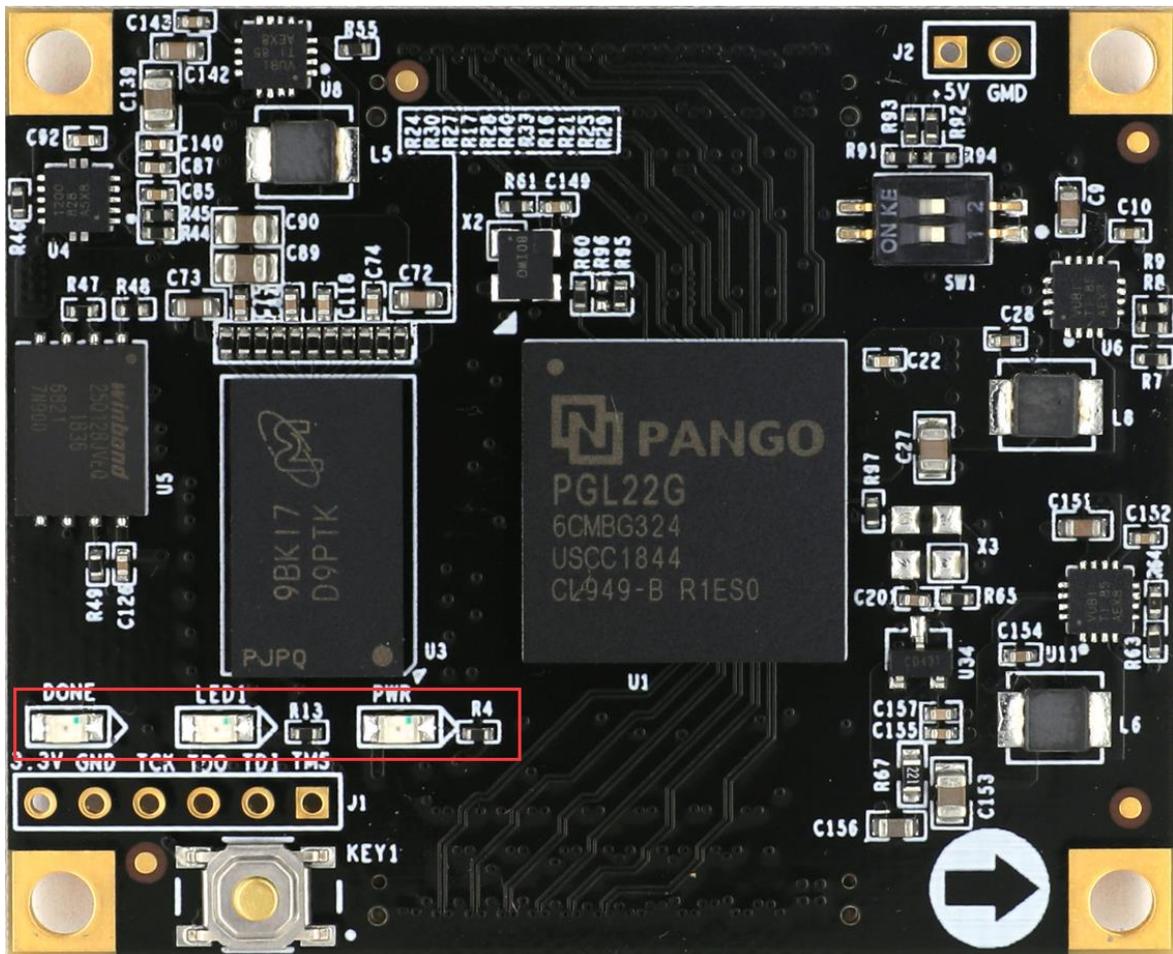


图 2-6-2 核心板的 LED 灯实物图

用户 LED 灯的引脚分配

| 信号名称 | FPGA 管脚号 | 备注 |
|------|----------|--------|
| LED1 | E2 | 用户LED灯 |

(七) 配置复位按键

P22 核心板上有一个配置复位按键 KEY1，复位按键连接到 FPGA 芯片的复位管脚 RST_N 上，用户可以使用这个复位按键来初始化 FPGA 的程序。设计中按键按下，输入到 RST_N 管脚上的电压为低，复位信号有效；按键没有按下时，输入到 RST_N 管脚上电压为高。复位按键连接的示意图如图 2-7-1 所示：

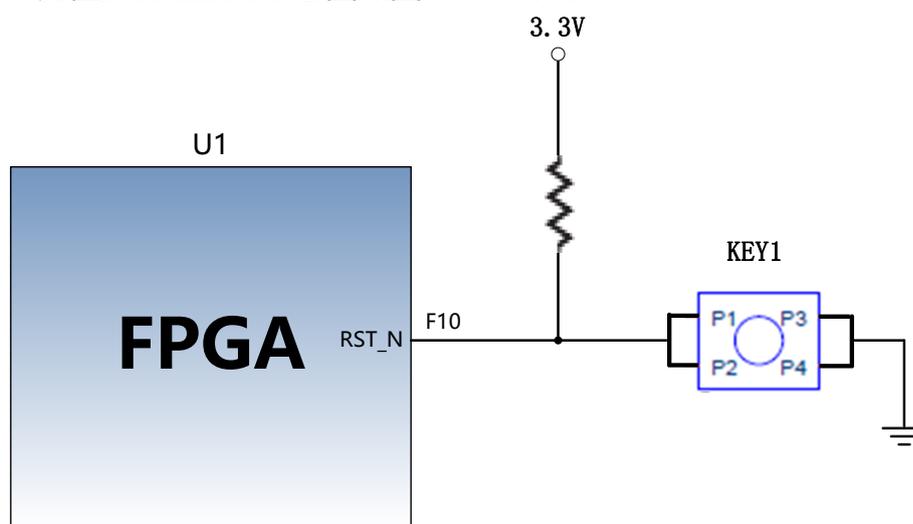


图 2-7-1 复位按键连接示意图

图 2-7-2 为复位按键实物图

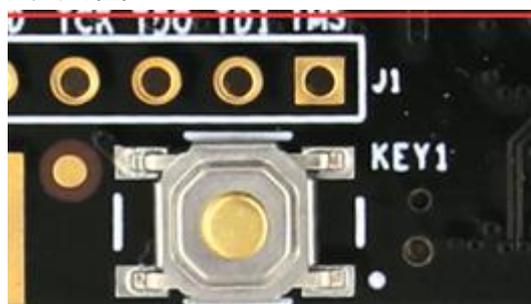


图 2-7-2 复位按键实物图

复位按键的引脚分配

| 信号名称 | FPGA 引脚名 | FPGA 引脚号 | 备注 |
|---------|----------|----------|----------|
| RESET_N | RST_N | F10 | 复位按键KEY1 |

(八) JTAG 接口

在 P22 核心板上我们也预留了 JTAG 的测试座 J1，用来核心板单独 JTAG 下载和调试，图 2-8-1 就是 JTAG 口的原理图部分，其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V

这六个信号。

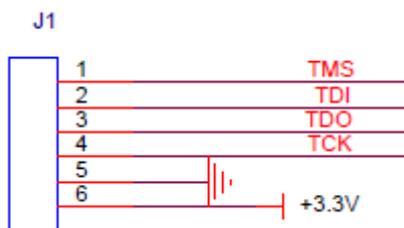


图 2-8-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-8-2 为 JTAG 接口在开发板上的实物图



图 2-8-2 JTAG 接口实物图

(九) 电源接口

为了能使核心板单独工作，我们为核心板预留了排针供电接口，通过杜邦线连接到外部+5V 供电。这样用户就可以无需底板的情况下调试核心板的功能。排针供电接口在核心板上的接口是 J2，当用户通过排针供电接口给核心板供电时，不能再通过底板供电，否则会造成电流冲突，可能会产生不可预料的损坏。

图 2-9-2 为排针供电接口在开发板上的实物图

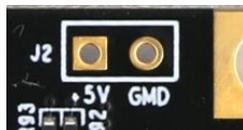


图 2-9-2 排针供电接口实物图

(十) 扩展接口

核心板的背面一共扩展出 2 个高速扩展口，使用 2 个 80Pin 的板间连接器和底板连接，FPGA 的 IO 口和差分信号通过通过这 2 个扩展口跟底板连接。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器连接来实现核心板和底板的高速数据通信。

扩展口 CON1

80Pin 的连接器 CON1 用来连接 FPGA 的普通 IO，默认 IO 的电平标准为 3.3V。
CON1 扩展口的管脚分配如表 2-10-1 所示：

2-10-1 表：扩展口 CON1 引脚分配

| CON1 管脚 | 信号 名称 | FPGA 管脚号 | 输入/ 输出 | CON1 管脚 | 信号 名称 | FPGA 管脚号 | 输入/ 输出 |
|------------|----------|-------------|-----------|------------|----------|-------------|-----------|
| PIN1 | R1_14_N | M16 | I/O | PIN2 | R1_16_P | M18 | I/O |
| PIN3 | R1_14_P | L16 | I/O | PIN4 | R1_11_P | K18 | I/O |
| PIN5 | R1_10_P | J18 | I/O | PIN6 | R1_11_N | K17 | I/O |
| PIN7 | R1_10_N | J17 | I/O | PIN8 | R1_9_P | H18 | I/O |
| PIN9 | GND | - | 地 | PIN10 | GND | - | 地 |
| PIN11 | R1_6_P | J15 | I/O | PIN12 | R1_9_N | H17 | I/O |
| PIN13 | R1_6_N | J14 | I/O | PIN14 | R1_5_P | G18 | I/O |
| PIN15 | R1_0_P | F14 | I/O | PIN16 | R1_5_N | G17 | I/O |
| PIN17 | R1_0_N | F13 | I/O | PIN18 | R1_1_P | F18 | I/O |
| PIN19 | GND | - | 地 | PIN20 | GND | - | 地 |
| PIN21 | R1_2_P | G14 | I/O | PIN22 | R1_1_N | F17 | I/O |
| PIN23 | R1_2_N | G13 | I/O | PIN24 | R1_3_N | G16 | I/O |
| PIN25 | R1_4_P | H14 | I/O | PIN26 | R1_3_P | F16 | I/O |
| PIN27 | R1_4_N | H13 | I/O | PIN28 | R1_7_P | H16 | I/O |
| PIN29 | GND | - | 地 | PIN30 | GND | - | 地 |
| PIN31 | R0_19_N | E17 | I/O | PIN32 | R1_7_N | J16 | I/O |
| PIN33 | R0_19_P | E18 | I/O | PIN34 | R0_17_N | C17 | I/O |
| PIN35 | R0_18_P | D18 | I/O | PIN36 | R0_17_P | C18 | I/O |
| PIN37 | R0_18_N | D17 | I/O | PIN38 | R0_16_N | A18 | I/O |
| PIN39 | GND | - | 地 | PIN40 | GND | - | 地 |
| PIN41 | R0_10_N | A16 | I/O | PIN42 | R0_16_P | B18 | I/O |
| PIN43 | R0_10_P | B16 | I/O | PIN44 | R0_12_P | B17 | I/O |
| PIN45 | GND | - | 地 | PIN46 | R0_12_N | A17 | I/O |
| PIN47 | R0_8_N | A15 | I/O | PIN48 | R0_14_N | E16 | I/O |
| PIN49 | R0_8_P | B15 | I/O | PIN50 | R0_14_P | E15 | I/O |

| | | | | | | | |
|-------|--------|-----|-----|-------|---------|-----|-----|
| PIN51 | GND | - | 地 | PIN52 | GND | - | 地 |
| PIN53 | R0_9_N | A14 | I/O | PIN54 | R0_11_P | C15 | I/O |
| PIN55 | R0_9_P | B14 | I/O | PIN56 | R0_11_N | D15 | I/O |
| PIN57 | GND | - | 地 | PIN58 | R0_2_N | D13 | I/O |
| PIN59 | R0_6_N | A12 | I/O | PIN60 | R0_2_P | C13 | I/O |
| PIN61 | R0_6_P | B12 | I/O | PIN62 | R0_15_N | G12 | I/O |
| PIN63 | GND | - | 地 | PIN64 | GND | - | 地 |
| PIN65 | R0_5_N | A11 | I/O | PIN66 | R0_15_P | F12 | I/O |
| PIN67 | R0_5_P | B11 | I/O | PIN68 | R0_1_N | C10 | I/O |
| PIN69 | GND | - | 地 | PIN70 | NC | - | 空脚 |
| PIN71 | R0_4_N | A10 | I/O | PIN72 | NC | - | 空脚 |
| PIN73 | R0_4_P | B10 | I/O | PIN74 | NC | - | 空脚 |
| PIN75 | GND | - | 地 | PIN76 | GND | - | 地 |
| PIN77 | NC | - | 空脚 | PIN78 | NC | - | 空脚 |
| PIN79 | NC | - | 空脚 | PIN80 | NC | - | 空脚 |

其中 R0_10_P/N, R0_8_P/N, R0_9_P/N, R0_6_P/N, R0_5_P/N 和 R0_4_P/N 的管脚在 PCB 上以差分方式引出。

图 2-10-1 为 CON1 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

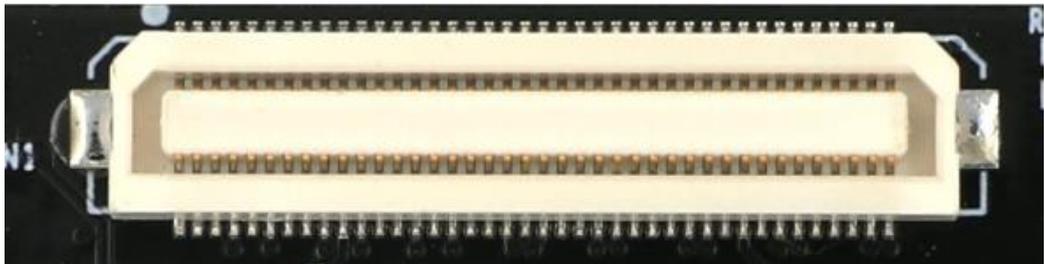


图 2-10-1 CON1 扩展口连接器的实物图

扩展口 CON2

80Pin 的连接器 CON2 用来连接核心板的 +5V 电源, JTAG 接口信号和 FPGA 的普通 IO 口连接到底板, IO 的电压标准默认都是 3.3V 的。CON2 扩展口的管脚分配如表 2-10-2 所示:

2-10-2 表: 扩展口 CON2 引脚分配

| CON2 管脚 | 信号 名称 | FPGA 管脚号 | 输入/ 输出 | CON2 管脚 | 信号 名称 | FPGA 管脚号 | 输入/ 输出 |
|------------|----------|-------------|-----------|------------|----------|-------------|-----------|
| PIN1 | +5V | - | 电源 | PIN2 | +5V | - | 电源 |
| PIN3 | +5V | - | 电源 | PIN4 | +5V | - | 电源 |
| PIN5 | +5V | - | 电源 | PIN6 | +5V | - | 电源 |
| PIN7 | +5V | - | 电源 | PIN8 | +5V | - | 电源 |
| PIN9 | GND | - | 地 | PIN10 | GND | - | 地 |
| PIN11 | R1_17_P | N18 | I/O | PIN12 | R1_12_P | L18 | I/O |
| PIN13 | R1_19_P | L15 | I/O | PIN14 | R1_12_N | L17 | I/O |
| PIN15 | R1_19_N | L14 | I/O | PIN16 | R1_18_N | N16 | I/O |
| PIN17 | R1_15_N | M14 | I/O | PIN18 | R1_18_P | N15 | I/O |
| PIN19 | GND | - | 地 | PIN20 | GND | - | 地 |
| PIN21 | R1_15_P | M13 | I/O | PIN22 | R1_13_P | L13 | I/O |
| PIN23 | R2_8_P | U18 | I/O | PIN24 | R1_13_N | L12 | I/O |
| PIN25 | R2_8_N | U17 | I/O | PIN26 | R2_11_P | P17 | I/O |
| PIN27 | R2_9_P | T18 | I/O | PIN28 | R2_11_N | P18 | I/O |
| PIN29 | GND | - | 地 | PIN30 | GND | - | 地 |
| PIN31 | R2_9_N | T17 | I/O | PIN32 | R2_10_P | R17 | I/O |
| PIN33 | R2_7_P | V18 | I/O | PIN34 | R2_10_N | R18 | I/O |
| PIN35 | R2_7_N | V17 | I/O | PIN36 | R2_19_N | N14 | I/O |
| PIN37 | R2_15_N | U16 | I/O | PIN38 | R2_19_P | N13 | I/O |
| PIN39 | GND | - | 地 | PIN40 | GND | - | 地 |
| PIN41 | R2_15_P | V16 | I/O | PIN42 | R2_14_N | V15 | I/O |
| PIN43 | R2_12_N | T16 | I/O | PIN44 | R2_14_P | U15 | I/O |
| PIN45 | R2_12_P | R16 | I/O | PIN46 | GND | - | 地 |
| PIN47 | R2_16_N | R15 | I/O | PIN48 | R2_13_N | V14 | I/O |
| PIN49 | R2_16_P | R14 | I/O | PIN50 | R2_13_P | U14 | I/O |
| PIN51 | GND | - | 地 | PIN52 | GND | - | 地 |
| PIN53 | R2_18_P | P13 | I/O | PIN54 | R2_2_N | V13 | I/O |
| PIN55 | R2_18_N | P14 | I/O | PIN56 | R2_2_P | U13 | I/O |

| | | | | | | | |
|-------|----------|-----|-----|-------|----------|-----|-----|
| PIN57 | R2_17_N | T13 | I/O | PIN58 | GND | - | 地 |
| PIN59 | R2_17_P | R13 | I/O | PIN60 | R2_3_N | V12 | I/O |
| PIN61 | R2_6_N | P12 | I/O | PIN62 | R2_3_P | U12 | I/O |
| PIN63 | GND | - | 地 | PIN64 | GND | - | 地 |
| PIN65 | R2_6_P | P11 | I/O | PIN66 | R2_4_N | V11 | I/O |
| PIN67 | R2_5_N | T11 | I/O | PIN68 | R2_4_P | U11 | I/O |
| PIN69 | R2_5_P | R11 | I/O | PIN70 | GND | - | 地 |
| PIN71 | NC | - | 空脚 | PIN72 | R2_1_N | V10 | I/O |
| PIN73 | NC | - | 空脚 | PIN74 | R2_1_P | U10 | I/O |
| PIN75 | GND | - | 地 | PIN76 | GND | - | 地 |
| PIN77 | FPGA_TDI | H10 | O | PIN78 | FPGA_TCK | H11 | O |
| PIN79 | FPGA_TMS | G9 | O | PIN80 | FPGA_TDO | G8 | I |

其中 R2_18_P/N, R2_13_P/N, R2_2_P/N, R2_3_P/N, R2_4_P/N 和 R2_1_P/N 的管脚在 PCB 上以差分方式引出。

图 2-10-2 为 CON2 扩展口连接器的实物图，连接器的 Pin1 已经在板上用圆点标示出。

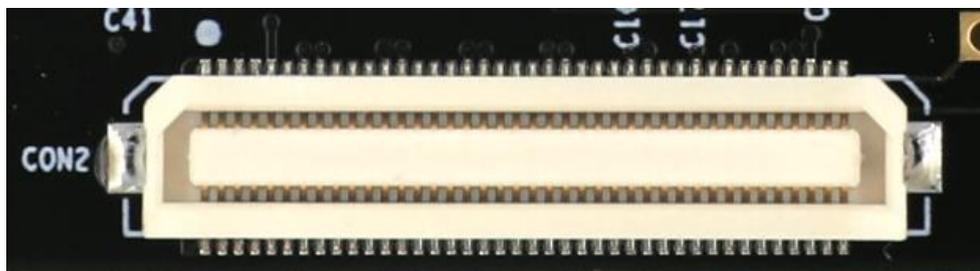


图 2-10-2 CON2 扩展口连接器的实物图

(十一) 电源

P22 核心板供电电压为 +5V，单独使用时通过排针接口供电，连接底板时通过底板供电，请注意不要排针和底板同时供电，以免造成损坏。板上的电源设计示意图如下图 2-11-1 所示：

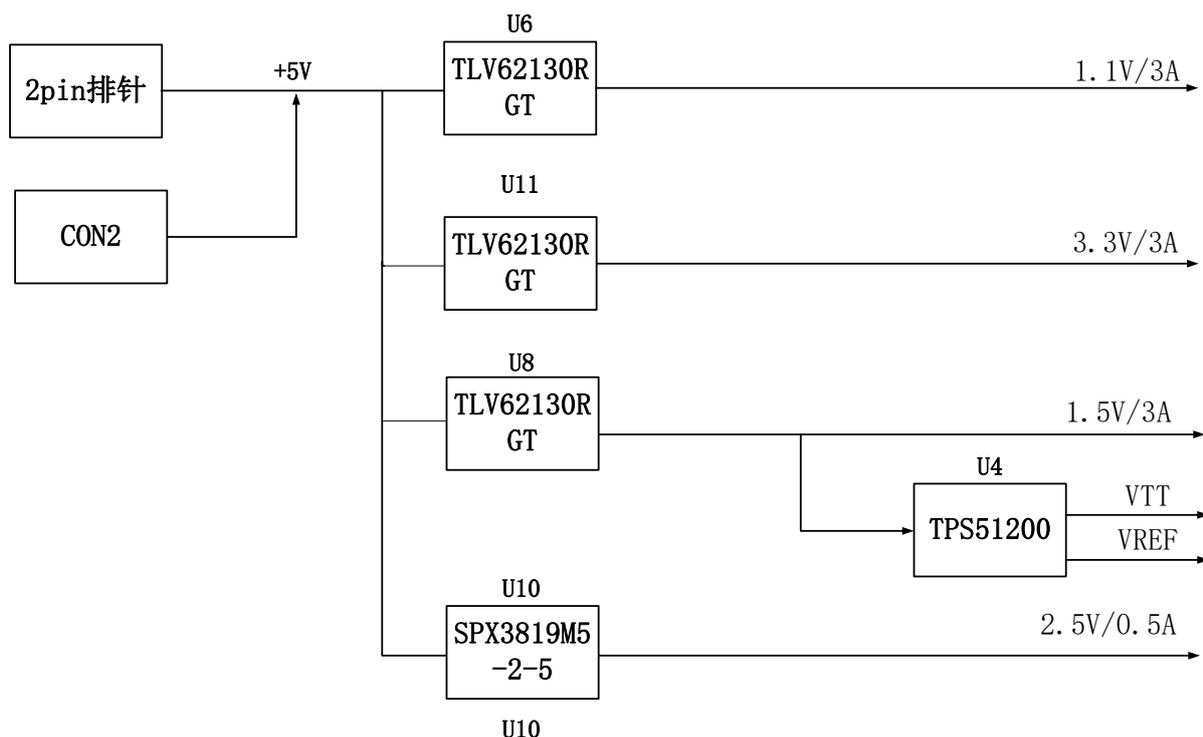


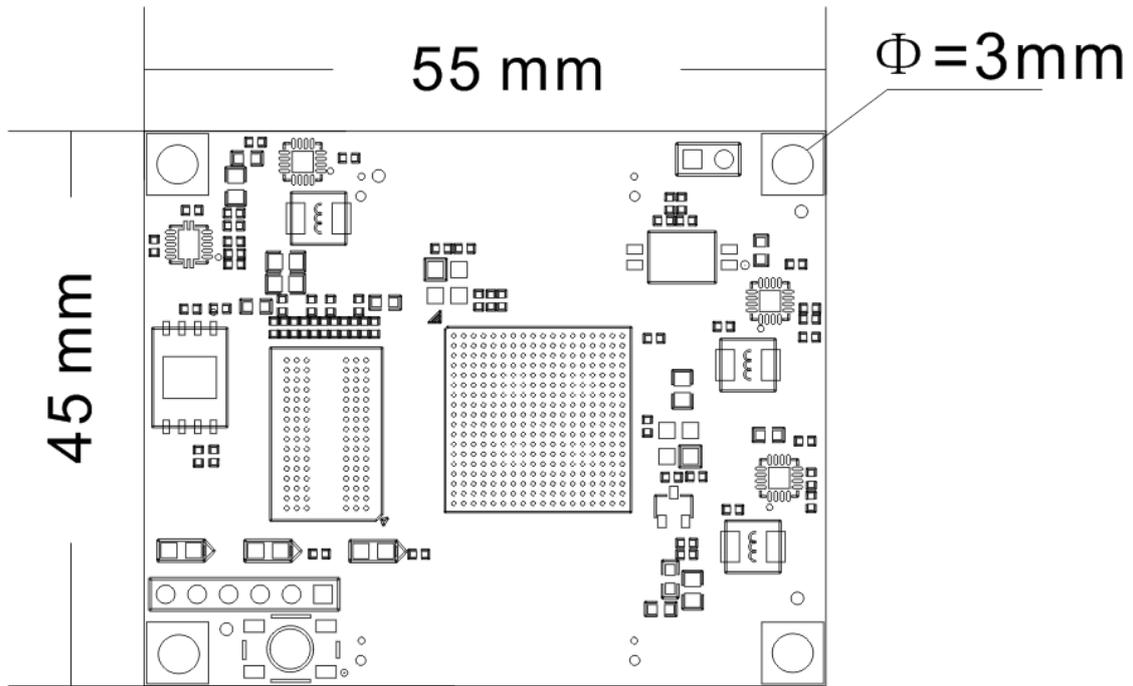
图 2-11-1 原理图中电源接口部分

核心板通过+5V 供电,通过 3 路 DC/DC 电源芯片 TLV62130RGT 转化成+3.3V, +1.5V, +1.1V 三路电源,每路输出电流可高达 3A。另外通过 1 路 LDO SPX3819M5-3-3 产生 2.5V, 用户可以通过跳电阻的方式将 VCCIO 的供电从默认的 3.3V 更改为 2.5V, 使得 BANK R2 的 IO 适应不同的电压标准, 使得连接到 BANK R2 的差分信号实现不同电平标准的 LVDS 数据通信。各个电源分配的功能如下表所示:

| 电源 | 功能 |
|--------------------|--|
| +3.3V | FPGA Bank L0,R0~R2, QSIP FLASH, Clock 晶振, 辅助电压 |
| +2.5V | 暂时不用 |
| +1.1V | FPGA 的核心电压 |
| +1.5V | DDR3, FPGA Bank L1 和 Bank L2 |
| VREF, VTT (+0.75V) | DDR3 |

P22 核心板的电源电路在板上的分别实物图所下图 2-11-2 和 2-11-3 所示。

(十二) 结构图



正面图 (Top View)